

PAT-NO: JP02000003804A
DOCUMENT-IDENTIFIER: JP 2000003804 A
TITLE: SURFACE MOUNT CHIP AND MANUFACTURE THEREOF
PUBN-DATE: January 7, 2000

INVENTOR-INFORMATION:
NAME COUNTRY
SAKAI, YUTAKA N/A

ASSIGNEE-INFORMATION:
NAME COUNTRY
TDK CORP N/A

APPL-NO: JP10183307
APPL-DATE: June 15, 1998

INT-CL (IPC): H01C007/10

ABSTRACT:

PROBLEM TO BE SOLVED: To improve characteristics such as insulation resistance as a chip part in which there is no corrosion layer by a plating solution, and to obtain high reliability, by forming terminal electrodes to both end faces of a ceramic sintered body having an internal electrode, shaving off a surface layer in specific thickness from the ceramic sintered body, and preparing a part body.

SOLUTION: A part body 1 is formed of a varistor sintered body, and internal electrodes 11 are laminated and formed alternately with varistor layers 10. Protective layers 12, 13 are formed as outermost layers, and each terminal electrode 2, 3 is shaped onto both end faces of the part body 1. Baking electrode layers 20, 30 electrically conducted with the alternate internal electrodes 11 in each terminal electrode 2, 3. In a chip varistor, to which the terminal electrodes 2, 3 are mounted, surface-layer thickness of 0.05-2.0 μm is shaven off from the varistor sintered body by polishing treatment, and the part body 1 is formed. In the polishing treatment, the surface layer section of the varistor sintered body corroded by the plating solution of electroplating is removed completely. Accordingly, characteristics such as insulation resistance is improved.

COPYRIGHT: (C) 2000, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-3804

(P2000-3804A)

(43)公開日 平成12年1月7日(2000.1.7)

(51)Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 1 C 7/10

H 0 1 C 7/10

5 E 0 3 4

審査請求 未請求 請求項の数5 F D (全 5 頁)

(21)出願番号

特願平10-183307

(22)出願日

平成10年6月15日(1998.6.15)

(71)出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72)発明者 酒井 豊

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74)代理人 100077702

弁理士 竹下 和夫

Fターム(参考) 5E034 CB01 CC07 DA02 DA07 DC01

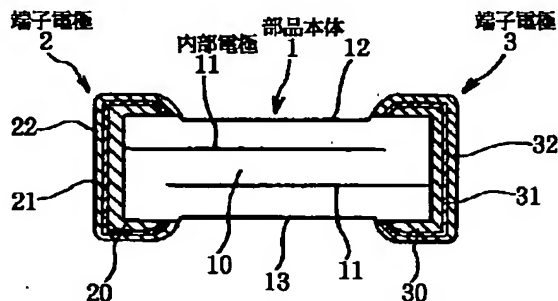
DE11

(54)【発明の名称】 表面実装型チップ部品及びその製造方法

(57)【要約】

【課題】 電気メッキのメッキ液による浸食層をなくし、絶縁抵抗等の特性を保ちしかも信頼性の高い表面実装型チップ部品を構成すると共に、そのチップ部品を容易に低コストで歩留よく製造する。

【解決手段】 端子電極2、3をセラミック焼結体の両端面に形成した後、研磨用材と共に研磨容器に入れて研磨処理を施し、そのセラミック焼結体から0.05～2.0μmの表層厚みを削り取って部品本体1を形成する。



【特許請求の範囲】

【請求項1】 内部電極を有するセラミック焼結体を部品本体とし、そのセラミック焼結体の両端面に端子電極を形成してなる表面実装型チップ部品において、端子電極が形成されたセラミック焼結体から0.05～2.0μmの表層厚みを削り取って部品本体としたことを特徴とする表面実装型チップ部品。

【請求項2】 内部電極と電気的に接続する銀を主成分とした焼付け電極層と、その焼付け電極層の半田喰われを防ぐ第1のメッキ被膜と、半田付け性を高める第2のメッキ被膜とでなる端子電極を設けたことを特徴とする請求項1に記載の表面実装型チップ部品。

【請求項3】 内部電極を有するセラミック焼結体を部品本体とし、そのセラミック焼結体の両端面に端子電極を形成する表面実装型チップ部品の製造方法において、端子電極をセラミック焼結体の両端面に形成した後、研磨用材と共に研磨容器に入れて研磨処理を施し、そのセラミック焼結体から0.05～2.0μmの表層厚みを削り取って部品本体を形成するようにしたことを特徴とする表面実装型チップ部品の製造方法。

【請求項4】 超音波洗浄器で研磨処理を施すようにしたことを特徴とする請求項3に記載の表面実装型チップ部品の製造方法。

【請求項5】 遠心バレルポットで研磨処理を施すようにしたことを特徴とする請求項3に記載の表面実装型チップ部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、端子電極を電極パターンのランド部に半田付け固定することにより回路基板の板面に装着される表面実装型のチップ部品及びその製造方法に関するものである。

【0002】

【従来の技術】一般に、表面実装型のチップ部品は内部電極を有する立方形のセラミック焼結体を部品本体とし、そのセラミック焼結体の両端面には端子電極を設けることにより構成されている。また、このチップ部品ではセラミック焼結体の両端面に塗布する銀（Ag）の導電ペーストを焼付け処理し、内部電極と電気的に接続する焼付け電極層を形成してから、その焼付け電極層の半田喰われを防ぐ耐熱性の良好なニッケル（Ni）のメッキ被膜を電気メッキし、更に、半田付け性の良好な錫（Sn）または錫-鉛（Pb）のメッキ被膜を電気メッキすることにより端子電極が形成されている。

【0003】このメッキ被膜を電気メッキするのに要するメッキ液が強酸性のものであるところから、セラミック焼結体でなる部品本体の表面が浸食されて絶縁抵抗等の特性を劣化する事態が生ずる。

【0004】その部品本体の表面浸食を防止するため、電気メッキを施す前に、ガラスまたはエポキシ樹脂を部

品本体の表面にコーティング処理することが提案されている（特開平5-129204号）。

【0005】然し、そのガラスまたはエポキシ樹脂を部品本体の表面に施すコーティング処理では処理工程が煩雑になり、また、塗布部分の制御が難しくて部品本体の表面浸食を確実に防止できないため、信頼性の高いチップ部品として製造できないばかりでなく、歩留の低下でコストアップを招く。

【0006】

【発明が解決しようとする課題】本発明は、メッキ液による浸食層をなくし、絶縁抵抗等の特性を保ちしかも信頼性の高い表面実装型チップ部品を提供すると共に、そのチップ部品を容易に低コストで製造できて歩留も向上可能な表面実装型チップ部品の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の請求項1に係る表面実装型チップ部品においては、内部電極を有するセラミック焼結体を部品本体とし、そのセラミック焼結体の両端面に端子電極を形成するもので、端子電極が形成されたセラミック焼結体から0.05～2.0μmの表層厚みを削り取って部品本体とすることにより構成されている。

【0008】本発明の請求項2に係る表面実装型チップ部品においては、内部電極と電気的に接続する銀を主成分とした焼付け電極層と、その焼付け電極層の半田喰われを防ぐ第1のメッキ被膜と、半田付け性を高める第2のメッキ被膜とでなる端子電極を設けることにより構成されている。

【0009】本発明の請求項3に係る表面実装型チップ部品の製造方法においては、端子電極をセラミック焼結体の両端面に形成した後、研磨用材と共に研磨容器に入れて研磨処理を施し、そのセラミック焼結体から0.05～2.0μmの表層厚みを削り取って部品本体を形成するようにされている。

【0010】本発明の請求項4に係る表面実装型チップ部品の製造方法においては、超音波洗浄器で研磨処理を施すようにされている。

【0011】本発明の請求項5に係る表面実装型チップ部品の製造方法においては、遠心バレルポットで研磨処理を施すようにされている。

【0012】

【発明の実施の形態】以下、添付図面を参照して説明すると、図示実施の形態は表面実装型の積層チップバリスタを示すものであり、図1並びに2は構造的に簡略化させてバリスタ層、内部電極の層数を変えることにより基本的に共通する構造の積層チップバリスタを示す。図中、共通の構成部分は同じ符号で示し、1はバリスタ焼結体でなる部品本体、10は部品本体1を形成するバリスタ層、11はバリスタ層10と交互に積層形成された

3

内部電極、12、13はバリスタ層10と同材質で形成された最外層の保護層、2、3は部品本体1の両端面に形成された各端子電極を示す。

【0013】その積層チップバリスタを製造する一例とし、まず、酸化亜鉛(ZnO):98.17wt%を主成分とし、酸化コバルト(CoO):1.2wt%、酸化プラセオジウム(Pr_6O_{11}):0.5wt%、炭酸カルシウム($CaCO_3$):0.1wt%、酸化ケイ素(SiO):0.03wt%の割合になるよう夫々を混合させてバリスタ層10の出発原料を得る。この粉体には有機バインダ、有機溶剤、有機可塑剤を加え、ボールミルで20時間程度混合、粉砕を行ってスラリーを

作製する。
【0014】そのスラリーは、ドクターブレード法によりポリエチレンテレフタレート(PET)のベースフィルム上に30 μm 厚み程度に成膜することによりグリーンシートとして作製する。このグリーンシートはベースフィルムから剥離した後、所定の面積形状に裁断することにより部品複数個取りに相応するグリーンシートとして得る。

【0015】部品複数個取り用のグリーンシートには、内部電極11を形成するパラジウムペースト(Pd)をスクリーン印刷で所定のパターンに印刷する。それを乾燥処理した後、グリーンシートとパラジウム印刷層とが交互になるよう積層させて部品本体用のセラミックグリーン積層体を製造する。また、パラジウムを印刷しないで、複数枚のグリーンシートを積層させて保護層用のセラミックグリーン積層体を製造する。

【0016】その部品本体用のセラミックグリーン積層体は、保護層用のセラミックグリーン積層体を外層側に重ねて加熱、圧着した後に部品単位のグリーンチップとして切断する。このグリーンチップは、350℃、2時間程度の加熱処理で脱バインダーを行い、更に、1250℃、2時間程度の焼成処理で部品本体1となるバリスタ焼結体を得ることができる。

【0017】次に、バリスタ焼結体の両端部には端子電極2、3を形成する。この端子電極2、3は、まず、銀、銅を主体とする導電ペーストをバリスタ焼結体の両端部に塗布し、それを800℃程度で焼付け処理することにより互い違い交互別の内部電極11と電氣的に導通する焼付け電極層20、30を形成する。

【0018】その焼付け電極層20、30には、半田喰

4

われを防ぐ耐熱性の良好なニッケルのメッキ被膜21、31を1.0 μm 厚み程度に電気メッキで成膜し、更に、半田付け性の良好な錫または錫-鉛のメッキ被膜22、32を3.0 μm 厚み程度に電気メッキで成膜することから端子電極2、3として形成でき、また、各端子電極2、3を設けたチップバリスタとして製造できる。

【0019】その端子電極2、3を設けたチップバリスタは研磨用材と共に研磨容器に入れて研磨処理を更に施し、バリスタ焼結体から0.05~2.0 μm の表層厚みを削り取って部品本体1を最終的に形成する。この研磨処理は、電気メッキのメッキ液で浸食されたバリスタ焼結体の表層部分を削り取るために施す。その浸食層は、表層部分から0.05~2.0 μm の厚みを削り取れば完全に除去することができる。また、研磨処理は研磨用材として15~0.1 μm 程度のアルミナ化合物粉や炭化ケイ素化合物粉等の研磨剤と水等の溶液を入れた超音波洗浄器を適用することにより行える。

【0020】このようにしてチップバリスタを製造すると、メッキ液による浸食層を完全に除去できることから、絶縁抵抗等の特性を良好なものに保てしかも信頼性の高いものに構成することができる。また、チップバリスタとして通常通り製造してから最終的に研磨処理を施せばよいため、工程的にも煩雑なものにならず、その研磨厚みも研磨時間を調整することにより確実に制御でき、更には超音波洗浄器を適用することから容易に行えて低コストに歩留の向上を図ることができる。

【0021】その有効性を確認するべく、通常通り製造したチップバリスタに対して超音波洗浄器で研磨時間を調整することにより、各表層厚みを0.05 μm 、0.5 μm 、1.0 μm 、2.0 μm 及び3.0 μm で削り取った試料を20個づつ作製し、未処理のチップバリスタと共に、プレッシャークッカーテストでバリスタ電圧の変化率を測定した。そのバリスタ電圧初期値は、25.98~28.12V程度である。

【0022】プレッシャークッカーテストは温度:130℃、相対湿度:85%RH、圧力:2.0 $\times 10^5$ Paの条件で行い、試験後室温中で1mAの電流を流したときのバリスタ電圧の変化率で評価した。この結果は、表1で示す通りであった。

【0023】

【表1】

試 料	削りしろ (μm)	バリスタ電圧変化率(%)		
		初期値	80hr	100hr
未処理品	0	0	0.25	0.99
処理品1	0.05	0	0.05	0.06
処理品2	0.50	0	0.03	0.05
処理品3	1.00	0	0.04	0.03
処理品4	2.00	0	0.01	0.01
処理品5	3.00	0	0.01	0.01

【0024】この表1で判るように、未処理品はブレッシャークッカーテストの時間経過と共に、バリスタ電圧の著しい変化が見られた。それに対し、処理品1～5はバリスタ電圧の変化が見られたが、未処理品に比べて7～9.9倍も変化率が小さいものであった。但し、処理品5は表層部分を3.0 μm 研磨したものであるが、これは表層部分の削り過ぎによって半田付け性に問題を生ずるところから好ましくない。これにより、表層部分を削り取る範囲は0.05～2.0 μm が好ましいことが確認できた。

【0025】また、積層チップコンデンサを通常通り製造し、表層部分を0.05 μm 厚み削り取った試料を3*

*0個作製し、未処理の積層チップコンデンサと共に耐湿負荷試験を行った。この研磨処理は、研磨用材として0.5～0.2mm径のセラミックボールやガラスボール等の研磨粒、15～0.1 μm 程度のアルミ化合物粉や炭化ケイ素化合物粉等の研磨剤、水等の溶液を入れた遠心バレルポットで行った。耐湿負荷試験は温度85℃、相対湿度85%、連続印加電圧100Vで行い、測定電圧50Vで、1R(Ω)は表2で示す通りであった。

20 【0026】

【表2】

試 料	絶縁抵抗値(Ω)			
	初期値	500hr	1,000hr	2,000hr
未処理品	10 ¹⁰	10 ⁹	10 ⁹	10 ⁸
処理品	10 ¹⁰	10 ¹⁰	10 ¹⁰	10 ¹⁰

【0027】この耐湿負荷試験でも判るように、未処理品は500Hrで1桁劣化したが、処理品は2000Hrでも殆ど変化が見られなかった。

【0028】更に、積層チップNTCサーミスタについても表層部分を0.05 μm 厚み削り取った試料を20個作製し、未処理の積層チップコンデンサと共に耐湿負荷試験を行った。この研磨処理は、上述した超音波洗浄※

※器を適用することにより行った。耐湿負荷試験は、温度85℃、相対湿度85%、連続印加電力10mWで行い、測定電流100 μA @25℃で、その結果は表3で示す通りであった。

【0029】

【表3】

試 料	絶縁抵抗変化率(%)			
	初期値	500hr	1,000hr	2,000hr
未処理品	0	0.08	0.25	0.99
処理品	0	0.04	0.05	0.06

【0030】この表3からも判るように、未処理品は抵抗値が耐湿負荷試験後1000Hrで5倍も変化した。

【0031】

【発明の効果】以上の如く、本発明の請求項1に係る表面実装型チップ部品に依れば、端子電極が形成されたセラミック焼結体から0.05～2.0 μm の表層厚みを削り取って部品本体とすることにより、電気メッキのメッキ液による浸食層のないチップ部品として絶縁抵抗等の特性を良好なものに保てしかも信頼性の高いものに構★50

★成することができる。

【0032】本発明の請求項2に係る表面実装型チップ部品に依れば、内部電極と電気的に接続する銀を主成分とした焼付け電極層と、その焼付け電極層の半田喰われを防ぐ第1のメッキ被膜と、半田付け性を高める第2のメッキ被膜とでなる端子電極を設けることから、焼付け電極層の半田喰われが発生せず、半田付け性が良好なことは勿論、均一厚みの端子電極として特性に優れたものに構成できる。

7

【0033】本発明の請求項3に係る表面実装型チップ部品の製造方法に依れば、端子電極をセラミック焼結体の両端面に形成した後、研磨用材と共に研磨容器に入れて研磨処理を施し、そのセラミック焼結体から $0.05 \sim 2.0 \mu\text{m}$ の表層厚みを削り取って部品本体を形成することにより、電気メッキのメッキ液による浸食層を完全に除去でき、また、チップ部品を通常通り製造してから最終的に研磨処理を施せばよいから工程的にも煩雑なものにならず、その研磨厚みも研磨時間を調整することにより確実に制御できるため、絶縁抵抗等の特性を良好なものに保てしかも信頼性の高いチップ部品を歩留よく低コストに製造することができる。

【0034】本発明の請求項4に係る表面実装型チップ部品の製造方法に依れば、超音波洗浄器で研磨処理を施すことにより、研磨厚みを研磨時間の調整で確実に制御できるため、電気メッキのメッキ液による浸食層を完全

8

に除去することができる。

【0035】本発明の請求項5に係る表面実装型チップ部品の製造方法に依れば、遠心バルブで研磨処理を施すことにより、超音波洗浄器を適用するのと同様に、研磨厚みを確実に制御できて電気メッキのメッキ液による浸食層を完全に除去することができる。

【図面の簡単な説明】

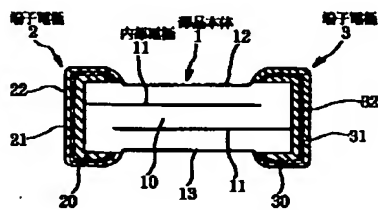
【図1】本発明の一実施の形態に係る表面実装型の積層チップバリスタを示す説明図である。

【図2】同積層チップバリスタを異なる積層数のもので示す説明図である。

【符号の説明】

1	部品本体
10	バリスタ層
11	内部電極
2, 3	端子電極

【図1】



【図2】

